

W 1422

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162462

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 49/00
H01L 21/3065

(21)Application number : 07-324164

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.12.1995

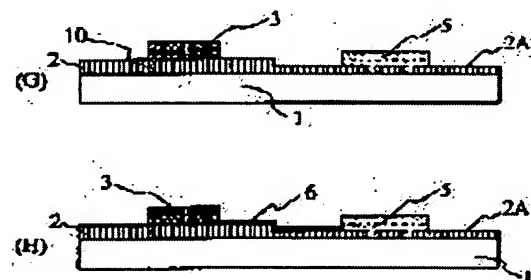
(72)Inventor : ETSUNO KEIJI

(54) PRODUCTION OF SEMICONDUCTOR DEVICE INCLUDING MICROMACHINE AND ELECTRONIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an electronic circuit from being damaged during manufacturing by selecting the order of production steps properly and conducting formation and removal of a protective layer at an appropriate timing.

SOLUTION: After an insulation layer 2 is formed on a substrate 1, a micromachine mechanism 3 is formed thereon, and the layer 2 is selectively removed to expose a part to be formed for an electronic circuit. Next, an electrode circuit 5 is formed therein, and the mechanism 3 and contact 10 is connected with each other, then the mechanism 3 is connected with the circuit 5 through a wiring 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

W1422

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162462

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 49/00

H 0 1 L 49/00

Z

21/3065

21/302

J

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平7-324164

(22) 出願日 平成7年(1995)12月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 越野 圭二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

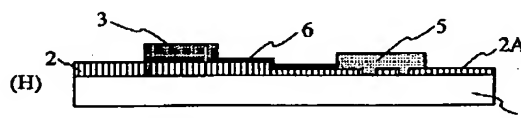
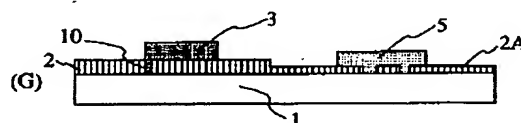
(54) 【発明の名称】 マイクロマシン及び電子回路をもつ半導体装置の製造方法

(57) 【要約】

【課題】 マイクロマシン及び電子回路をもつ半導体装置の製造方法に関し、製造工程順序を適切に選択し、また、保護層の形成及び除去を適切なタイミングで実施することで、製造工程中に半導体素子からなる電子回路がダメージを受けることなどがないようにする。

【解決手段】 基板1上に絶縁層2を形成してから微小機械機構3を形成し、次に、絶縁層2を選択的に除去して基板1の電子回路形成予定部分を表出させ、次に、電子回路形成予定部分に電子回路5を形成し、次に、微小機械機構3と基板1とをコンタクト10で接続し、次に、微小機械機構3と電子回路5とを配線6で接続する。

工程要所に於ける半導体装置の要部切断側面図



- 1: 半導体基板
- 2: 絶縁層
- 2A: 絶縁層
- 3: 微小機械機構
- 5: 電子回路
- 6: 配線
- 10: コンタクト

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】基板上に微小機械機構を形成した後に電子回路を形成することを特徴とするマイクロマシン及び電子回路をもつ半導体装置の製造方法。

【請求項2】基板上に微小機械機構を形成する工程と、次いで、該微小機械機構を保護層で覆ってから該基板上に電子回路を形成する工程と、

次いで、該保護層を除去してから該微小機械機構と該電子回路とを電氣的に接続する工程とが含まれてなることを特徴とするマイクロマシン及び電子回路をもつ半導体装置の製造方法。

【請求項3】基板上に絶縁層を形成してから微小機械機構を形成する工程と、

次いで、該微小機械機構を保護層で覆ってから該絶縁層を選択的に除去して該基板の電子回路形成予定部分を表出させる工程と、

次いで、該電子回路形成予定部分に電子回路を形成する工程と、

次いで、該保護層を除去してから該微小機械機構と該基板とを電氣的に接続する工程と、

次いで、該微小機械機構と電子回路とを電氣的に接続する工程とが含まれてなることを特徴とするマイクロマシン及び電子回路をもつ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同じ基板上にマイクロマシン及び半導体素子で構成した電子回路を形成した半導体装置を製造するのに好適な方法に関する。

【0002】現在、同一基板にマイクロマシン及びそのマイクロマシンを制御する電子回路を作り込んだ半導体装置について種々と提案されているが、それを実現する具体的な手段は乏しい状況に在る。

【0003】本発明に依れば、そのような半導体装置を製造する場合に不可欠ともいえる方法が提供される。

【0004】

【従来の技術】近年、半導体装置の製造技術は著しく発達し、サブミクロン・オーダの微細加工を高精度で容易に実現できるようになった。この微細加工技術を応用して基板に作り込んだ微小な機械機構をマイクロマシンと呼んでいる。

【0005】既に発表されているものとしては、多結晶シリコンを加工して製造した歯車やリニアスライダ（要すれば「Report of the NSF Workshop on Microelectromechanical Systems research」を参照）、或いは、静電力を利用した回転型のアクチュエータ（要すれば「Yu-Chong Tai et al: Proceedings IEEE MEMS, Feb., 1989」を参照）、或いは、積層ピエゾ・アクチュエータとばね関節を使った拡大機構を組み合わせ

せたマイクログリッパ（要すれば「A. Ando et al: Proceedings MICRO SYSTEM Technologies 90 Sept., 1990」を参照）など様々である。

【0006】マイクロマシンの利点は、半導体装置製造技術を応用して形成した非常に微細な運動機構の組み合わせに依り、極めて小さな機械を作り出せるところにある。

【0007】更に、その製造方法が半導体装置製造技術の応用であることから、運動機構を担持する基板上にセンサや制御の為の微細な電子回路を形成することが容易であって、自立型の微小機械を実現できる。

【0008】

【発明が解決しようとする課題】前記したように、運動機構と電子回路を同一基板上に形成する場合、電子回路に物理的及び電氣的に大きなダメージを与えるおそれがある。

【0009】その理由は、マイクロマシンの微小機構を形成する為には、半導体素子からなる電子回路を形成するのに必要とされる工程数と同等か、或いは、それ以上の工程数が必要であって、その間、基板は幾度となくプラズマに曝されたり、イオン照射を受けたり、酸の溶液に浸漬されたりすることに依る。

【0010】その上、運動機構を作り込むには、半導体素子に比較し、基板の厚さ方向を大きく占有することが多いので、その形状を作成する為には、一回のプロセスに長時間を必要とする。

【0011】更に付言すると、微小な運動機構では、摩擦が運動を阻害する大きな要素となり、また、半導体素子にとっては大敵である静電気を使用することが多いので、特別な処理を行うことが必要であって、例えば、摩擦を低減する為、遷移金属をイオン注入する技術（要すれば「特開平3-116982号公報」を参照）が知られているが、このような金属が半導体素子に侵入した場合、致命的な汚染になることは容易に理解できよう。

【0012】本発明では、マイクロマシン及び半導体素子からなる電子回路を含む半導体装置の製造工程順序を適切に選択し、また、保護層の形成及び除去を適切なタイミングで実施することで、製造工程中に半導体素子からなる電子回路がダメージを受けることなどがないようにする。

【0013】

【課題を解決するための手段】図1乃至図4は本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図であり、以下、これ等の図を参照しつつ解説する。尚、(A)乃至(H)は工程順序に付した記号であり、工程は(A)から(H)に向かって進むものとする。

【0014】(A) 参照

(A) - 1

半導体基板 1 の表面に絶縁層 2 を形成する。この絶縁層 2 は、製造工程中、微小機械機構と電子回路とを電氣的に絶縁する役割を果たす。

【0015】(B) 参照

(B) - 1

絶縁層 2 上に微小機械機構 3 を形成する。

【0016】(C) 参照

(C) - 1

例えばスピン・コート法を適用することに依り、微小機械機構 3 を含む全面に樹脂材料からなる保護層 4 を形成する。

【0017】(C) - 2

リソグラフィ技術を適用することに依り、露光及び現像の処理を行って、微小機械機構 3 を覆う保護層 4 のみを残して他を除去する。

【0018】(D) 参照

(D) - 1

保護層 4 をマスクとして絶縁層 2 をエッチングして半導体基板 1 に於ける電子回路形成予定部分を表出させる。尚、絶縁層 2 は電子回路を形成する為に役立つ場合もあるが、ここに至るまでに種々とダメージを受けているので除去した方がよい。

【0019】(E) 参照

(E) - 1

半導体基板 1 の電子回路形成予定部分に改めて絶縁層 2 A を形成する。

【0020】(E) - 2

絶縁層 2 A を適宜に加工してから微小機械機構 3 に適用するセンサ部や制御部となる電子回路 5 を形成する。尚、電子回路 5 を形成する工程の如何に依っては、微小機械機構 3 を覆っている保護層 4 が剥離されてしまうことも起こり得るので、その際は適宜に保護層 4 を再形成することが必要である。

【0021】(F) 参照

(F) - 1

電子回路 5 の形成が完了した後、微小機械機構 3 を覆っている保護層 4 を除去する。尚、保護層 4 に樹脂材料を用いた理由は、前記したようにリソグラフィ技術を適用できること、また、除去する際、有機溶剤に依るウェット剥離、或いは、ダウンフローアッシングなど、電子回路 5 にダメージを与えないプロセスを用いることができることに依る。

【0022】(G) 参照

(G) - 1

微小機械機構 3 及びそれに接続される電子回路 5 のそれぞれに於ける基準電位として、それ等が形成されている基板 1 の電位を適用する為、微小機械機構 3 と基板 1 とのコンタクト 10 とをとり。尚、電子回路 5 と基板 1 とのコンタクトは、電子回路 5 を形成する際、既に完了していることが通例である。

【0023】(H) 参照

(H) - 1

微小機械機構 3 と電子回路 5 との間を結ぶ配線 6 を形成する。

【0024】前記工程で特徴的なことが二つ存在し、その一つは、電子回路 5 の形成を微小機械機構 3 を形成した後にに行ったことである。これに依り、微小機械機構 3 を形成する際のエッチングやイオン注入などのプロセスに依って、電子回路 5 がダメージを受けないようにすることが可能となる。

【0025】又、もう一つは、微小機械機構 3 と電子回路 5 との間を結ぶ配線 6 の形成を工程の最後に実施したことである。これに依り、微小機械機構 3 からの電荷が電子回路 5 に流れ込んで電子回路 5 を破壊するような虞は少なくなる。

【0026】前記したところから、本発明に依るマイクロマシン及び電子回路をもつ半導体装置の製造方法に於いては、

【0027】(1) 基板 (例えば基板 1) 上に微小機械機構 (例えば微小機械機構 3) を形成した後に電子回路 (例えば電子回路 5) を形成することを特徴とするか、或いは、

【0028】(2) 基板 (例えば基板 1) 上に微小機械機構を形成する工程と、次いで、該微小機械機構 (例えば微小機械機構 3) を保護層 (例えば保護層 4) で覆ってから該基板上に電子回路 (例えば電子回路 5) を形成する工程と、次いで、該保護層を除去してから該微小機械機構と該電子回路とを電氣的に接続 (例えば配線 6) する工程とが含まれてなることを特徴とするか、或いは、

【0029】(3) 基板 (例えば基板 1) 上に絶縁層 (例えば絶縁層 2) を形成してから微小機械機構 (例えば微小機械機構 3) を形成する工程と、次いで、該微小機械機構を保護層 (例えば保護層 4) で覆ってから該絶縁層を選択的に除去して該基板の電子回路形成予定部分を表出させる工程と、次いで、該電子回路形成予定部分に電子回路 (例えば電子回路 5) を形成する工程と、次いで、該保護層を除去してから該微小機械機構と該基板とを電氣的に接続 (例えばコンタクト 10) する工程と、次いで、該微小機械機構と電子回路とを電氣的に接続 (例えば配線 6) する工程とが含まれてなることを特徴とする。

【0030】本発明では、前記手段を採ることに依り、電子回路に何らのダメージも与えることなく、マイクロマシンと電子回路とを同じ基板上に形成することが可能である。

【0031】

【発明の実施の形態】図 5 は本発明に依る方法を実施して作成された半導体装置に含まれる微小機械機構である静電型アクチュエータを表す要部平面説明図である。

【0032】図に於いて、30は移動子、31は固定子、32は移動子スプリング、33及び34は電極パッドをそれぞれ示し、また、L1乃至L5は長さを指示する記号であり、例えば、L1=15.5 [μm]、L2=10 [μm]、L3は2 [μm]、L4は1.4 [μm]、L5は0.2 [μm]である。

【0033】図示されている何れの部材も厚さ1 [μm]の多結晶シリコン層からなっている。

【0034】図6は本発明に依る方法を実施して作成された半導体装置の要部等価回路図であり、図5に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0035】図に於いて、Q1はMOS (metal oxide semiconductor) トランジスタ、+Eは正側電源電圧、 V_{IN} は入力電圧、 V_{OUT} は出力電圧をそれぞれ示している。

【0036】図示の半導体装置に於いて、入力電圧 V_{IN} が負である場合、MOSトランジスタQ1はオフであり、出力電圧 V_{OUT} は+E [V]であり、従って、アクチュエータに於ける移動子30と固定子31との間には、+E [V]の電圧が加わり、静電引力に依って移動子30は引き込まれた状態になる。

【0037】図7は図5及び図6について説明した静電型アクチュエータが動作している状態を表す要部平面説明図であり、図5及び図6に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0038】図から明らかなように、移動子30は静電引力に依って固定子31内に引き込まれた状態にあり、従って、移動子スプリング32は、そのU字形状が若干開いた状態になっていることが看取されよう。

【0039】図示の半導体装置に於いて、入力電圧 V_{IN} が正である場合、MOSトランジスタQ1はオンであり、ソース・ドレイン間は導通し、出力電圧 V_{OUT} が現れるべき出力端は、トランジスタQ1のドレインを介して接地されることになり、出力電圧 V_{OUT} は0 [V]になる。

【0040】従って、アクチュエータに於ける移動子30と固定子31との間に電圧は加わらないから、静電引力が働かず、移動子30は移動子スプリング32の弾性に依って固定子31から引き離された状態になる。この状態に於けるアクチュエータの様子は図5に示されている通りであり、以上、半導体装置の動作を図8に表としてまとめて示してある。

【0041】図9乃至図13は本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断断面図であり、以下、これ等の図を参照しつつ解説する。尚、(A)乃至(J)は工程順序に付した記号であり、工程は(A)から(J)に向かって進むものとする。

【0042】図9 (A) 参照

(A) - 1

熱酸化法を適用することによって、p型Si半導体基板51上に厚さ例えば200 [nm]の SiO_2 からなる絶縁層52を形成する。

【0043】(A) - 2

CVD (chemical vapor deposition) 法を適用することによって、絶縁層52上に厚さ例えば1 [μm]の多結晶Si層53を形成する。

【0044】図9 (B) 参照

(B) - 1

リソグラフィ技術に於けるレジスト・プロセスを適用することによって、図5に見られるアクチュエータの形状を含むポジ型レジスト層54を形成する。

【0045】図10 (C) 参照

(C) - 1

エッチング・ガスをHBrガスとする反応性イオン・エッチング (reactive ion etching: RIE) 法を適用することによって、ポジ型レジスト層54をマスクとして多結晶Si層53の異方性エッチングを行う。

【0046】(C) - 2

灰化処理法を適用することにより、レジスト層54を除去する。

【0047】図10 (D) 参照

(D) - 1

HF水溶液をエッチャントとするウェット・エッチング法を適用することによって、多結晶Si層53に於けるアクチュエータの可動部分形成予定部分の下地になっている SiO_2 からなる絶縁層52を除去することで可動部分55を生成させる。これによって、微小機械機構部分であるアクチュエータの主要部分が完成する。

【0048】図11 (E) 参照

(E) - 1

リソグラフィ技術に於けるレジスト・プロセスを適用することによって、微小機械機構部分のみを覆うレジスト膜54'を形成する。尚、このレジスト膜54'は、アクチュエータである微小機械機構部分を構成する多結晶シリコン層53の不要部分を除去する為のマスクとなるものである。

【0049】(E) - 2

エッチング・ガスをHBrガスとするRIE法を適用することによって、レジスト層54'をマスクとして多結晶Si層53の異方性エッチングを行う。

【0050】これによって、多結晶シリコン層53の不要部分は除去されて微小機械機構部分は完全なアクチュエータの形状となり、また、同時にプラグ穴54Aが形成される。

【0051】(E) - 3

CF_4 系ガスをエッチング・ガスとするRIE法を適用することによって、レジスト層54'をマスクとしてS

i O₂ からなる絶縁層 5 2 のエッチングを行い、基板 5 1 の電子回路形成予定部分を表出させると共にプラグ穴 5 4 A を延伸する。

【0052】図 11 (F) 参照

(F) - 1

リソグラフィ技術に於けるレジスト・プロセスを適用することに依って、微小機械機構部分のみを覆うレジストからなる保護層 5 6 を形成する。

【0053】図 12 (G) 参照

(G) - 1

通常の技法を適用することに依り、電子回路形成予定部分に n チャネル MOS トランジスタ及びその他の周辺素子を形成する。尚、40 は電子回路部分の配線を指示している。

【0054】この場合の工程や適用技術は、通常の半導体素子作成の場合と全く変わらないが、唯、この工程中で、アッシング処理や有機溶媒に依る洗浄を行うと、微小機械機構部分を覆っているレジストからなる保護層 5 6 が失われるので、その都度、再形成する必要がある。

【0055】図 12 (H) 参照

(H) - 1

灰化処理法を適用することに依って、微小機械機構部分を覆っているレジストからなる保護層 5 6 を除去する。尚、この場合、ダウンフローアッシングを行うと良い。

【0056】図 13 (I) 参照

(I) - 1

CVD 法を適用することに依って W 層を形成し、通常のリソグラフィ技術を適用することに依って該 W 層のエッチングを行って、微小機械機構部分と基板 5 1 とを電気的に接続するプラグ 5 7 を形成する。

【0057】プラグ 5 7 の材料は W に限られず、Al などであっても良く、また、その形成技術は、CVD 法に限られず、スパッタリング法などを用いても良い。

【0058】図 13 (J) 参照

(J) - 1

リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、エッチング・ガスを塩素系ガス或いは臭素系ガスとする RIE 法を適用することに依り、微小機械機構部分のアクチュエータを構成する多結晶 Si 層 5 3 と電子回路部分から導出された配線 40 を結ぶ Al 或いは Al 系材料からなる配線 5 8 を形成する。これで半導体装置が完成した。

【0059】

【発明の効果】本発明に依るマイクロマシン及び電子回路をもつ半導体装置の製造方法に於いては、基板上に微小機械機構を形成した後に電子回路を形成している。

【0060】本発明では、前記手段を採ることに依り、電子回路に何らのダメージも与えることなく、マイクロマシンと電子回路とを同じ基板上に形成することが可能になった。

【図面の簡単な説明】

【図 1】本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 2】本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 3】本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 4】本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 5】本発明に依る方法を実施して作成された半導体装置に含まれる微小機械機構である静電型アクチュエータを表す要部平面説明図である。

【図 6】本発明に依る方法を実施して作成された半導体装置の要部等価回路図である。

【図 7】図 5 及び図 6 について説明した静電型アクチュエータが動作している状態を表す要部平面説明図である。

【図 8】半導体装置の動作を表にまとめた図である。

【図 9】本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 10】本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 11】本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 12】本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断側面図である。

【図 13】本発明に依る一実施の形態について説明する為の工程要所に於ける半導体装置の要部切断側面図である。

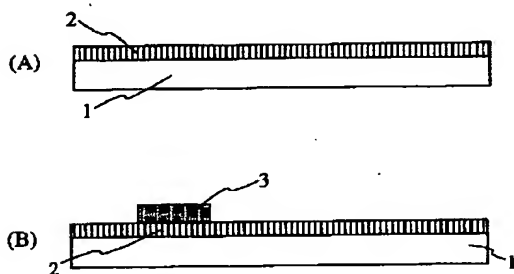
【符号の説明】

- 1 半導体基板
- 2 絶縁層
- 2 A 絶縁層
- 3 微小機械機構
- 4 保護層
- 5 電子回路
- 10 コンタクト
- 30 移動子
- 31 固定子
- 32 移動子スプリング
- 33 及び 34 電極パッド
- L1 乃至 L5 長さ
- Q1 MOS トランジスタ
- +E 正側電源電圧
- V_{IN} 入力電圧
- V_{OUT} 出力電圧

- 40 配線
- 51 p型Si半導体基板
- 52 絶縁層
- 53 多結晶Si層
- 54 ポジ型レジスト層

【図1】

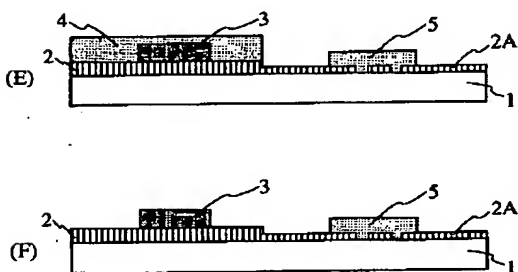
工程要所に於ける半導体装置の要部切断側面図



- 1: 半導体基板
- 2: 絶縁層
- 3: 微小機械機構

【図3】

工程要所に於ける半導体装置の要部切断側面図

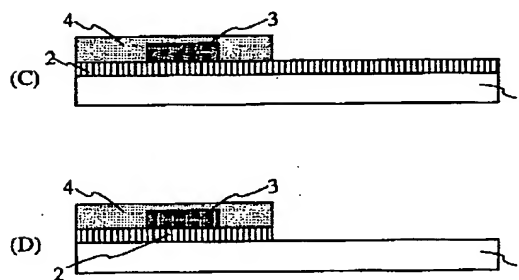


- 1: 半導体基板
- 2: 絶縁層
- 2A: 絶縁層
- 3: 微小機械機構
- 4: 保護層
- 5: 電子回路

- 55 アクチュエータの可動部分
- 56 保護層
- 57 プラグ
- 58 配線

【図2】

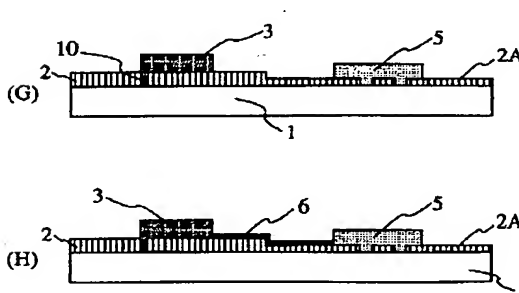
工程要所に於ける半導体装置の要部切断側面図



- 1: 半導体基板
- 2: 絶縁層
- 3: 微小機械機構
- 4: 保護層

【図4】

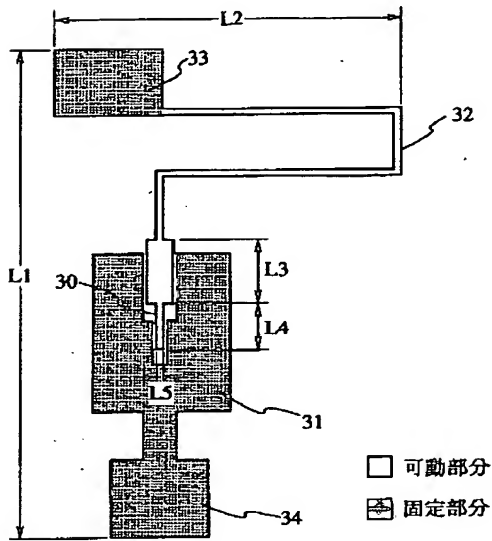
工程要所に於ける半導体装置の要部切断側面図



- 1: 半導体基板
- 2: 絶縁層
- 2A: 絶縁層
- 3: 微小機械機構
- 5: 電子回路
- 6: 配線
- 10: コンタクト

【図5】

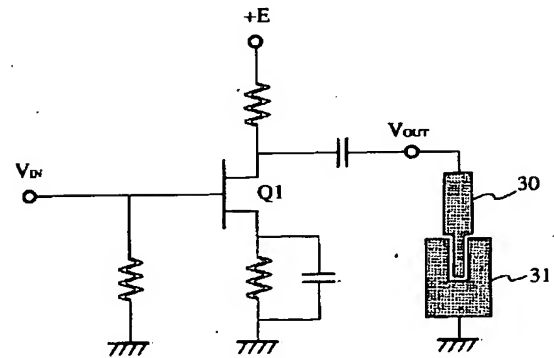
静電型アクチュエータの要部平面説明図



30: 移動子
31: 固定子
32: 移動子スプリング
33及び34: 電極パッド

【図6】

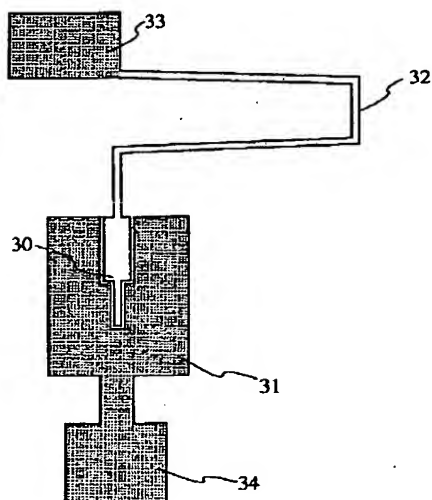
本発明に依って作成された半導体装置の要部等価回路図



30: 移動子
31: 固定子
Q1: MOS トランジスタ
+E: 正側電源電圧
VIN: 入力電圧
VOUT: 出力電圧

【図7】

静電型アクチュエータの動作状態を表す要部平面説明図



30: 移動子
31: 固定子
32: 移動子スプリング
33及び34: 電極パッド

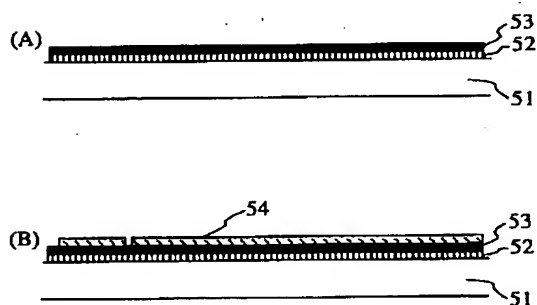
【図8】

半導体装置の動作を表にした図

入力電圧 VIN (V)	MOS トランジスタ	出力電圧 VOUT (V)	アクチュエータ の動作
正	オン	0	固定子から 離れる
負	オフ	+E	固定子に引き込 まれる

【図 9】

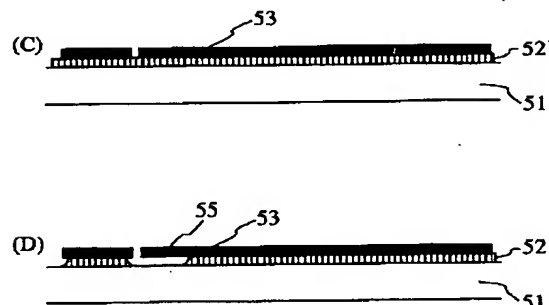
工程要所に於ける半導体装置の要所切断側面図



51: 半導体基板
52: 絶縁層
53: 多結晶Si層
54: レジスト層

【図 10】

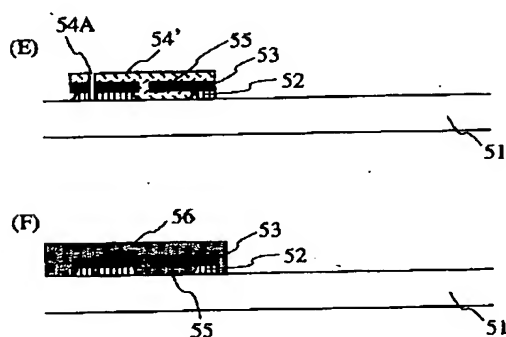
工程要所に於ける半導体装置の要所切断側面図



51: 半導体基板
52: 絶縁層
53: 多結晶Si層
55: 可動部分

【図 11】

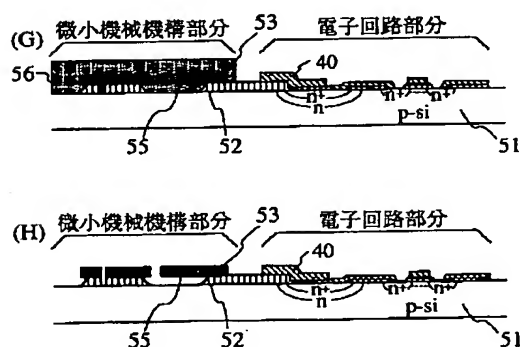
工程要所に於ける半導体装置の要所切断側面図



51: 半導体基板
52: 絶縁層
53: 多結晶Si層
54: レジスト層
55: 可動部分
56: 保護層

【図 12】

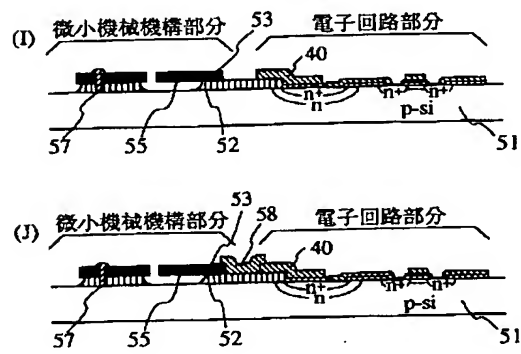
工程要所に於ける半導体装置の要所切断側面図



40: 配線
51: 半導体基板
52: 絶縁層
53: 多結晶Si層
55: 可動部分
56: 保護層

【図 1 3】

工程要所に於ける半導体装置の要所切断側面図



- 40 : 配線
- 51 : 半導体基板
- 52 : 絶縁層
- 53 : 多結晶Si層
- 55 : 可動部分
- 57 : プラグ
- 58 : 配線